

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-119298

(43)Date of publication of application : 18.05.1993

(51)Int.Cl.

G02F 1/133

(21)Application number : 03-309915

(71)Applicant : SEMICONDUCTOR ENERGY LAB CO LTD

(22)Date of filing : 29.10.1991

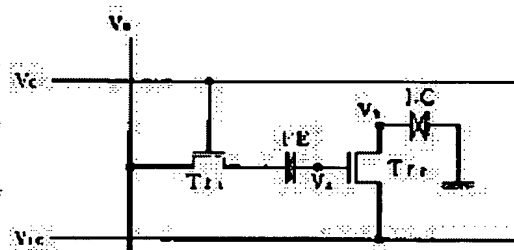
(72)Inventor : YAMAZAKI SHUNPEI
TAKEMURA YASUHIKO

(54) ELECTROOPTIC DISPLAY DEVICE AND ITS DISPLAY METHOD

(57)Abstract:

PURPOSE: To make a display easy to see and reduce the power consumption of the display device which makes the display by small-frequency rewriting by providing a 1st element which selects picture elements, one by one, a memory element stored with information sent from the 1st element, and a 2nd element which feeds electricity to the picture elements according to the signal held in the memory element.

CONSTITUTION: The 1st and 2nd elements are TFTs shown by Tr1 and Tr2 respectively. The gate electrode of the Tr1 is connected to a selection line VG, the drain is connected to a data line VD, and the source is connected to one end of a ferroelectric capacitor FE. The gate electrode of the Tr2 is connected to the other end of the ferroelectric capacitor FE, the drain is connected to a voltage supply line VLC for applying a voltage to the picture elements, and the source is connected to one end of the electrode of a picture element capacitor LC. This constitution provides the memory performance of the picture elements and the compression, omission, etc., of a redundancy signal are therefore made possible to reduce the power consumption or make the response fast.



LEGAL STATUS

[Date of request for examination] 26.03.1992

[Date of sending the examiner's decision of rejection] 04.07.1995

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2775040

[Date of registration] 01.05.1998

[Number of appeal against examiner's decision of rejection] 07-16670

[Date of requesting appeal against examiner's decision of rejection] 03.08.1995

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

best Available Copy

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-119298

(43)公開日 平成5年(1993)5月18日

(51)Int.Cl.⁵

G 0 2 F 1/133

識別記号

5 6 0

庁内整理番号

7820-2K

F I

技術表示箇所

審査請求 有 請求項の数 6 (全 20 頁)

(21)出願番号 特願平3-309915

(22)出願日 平成3年(1991)10月29日

(71)出願人 000153878

株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地

(72) 發明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72)発明者 竹村 保彦

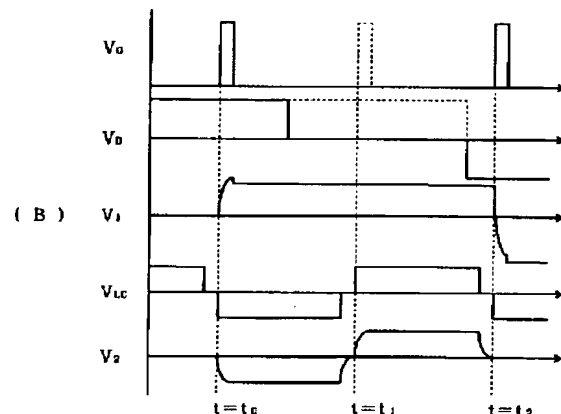
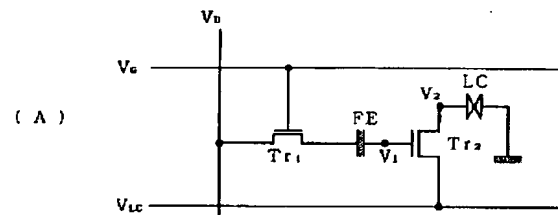
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(54)【発明の名称】 電気光学表示装置およびその表示方法

(57) 【要約】

【目的】 書換え回数の少ない表示をおこなう表示装置
に関して、表示が見やすく、かつ消費電力の小さい表示
装置を提供することを目的とする。

【構成】 アクティブマトリクス型の表示装置において、各画素に画素の選択をおこなうための第1素子と、第1素子から送られた情報を記憶するメモリー素子と、メモリー素子に保持された信号をもとに画素に給電するための第2素子とを有する電気光学表示装置。このような構成を有する表示装置によって、画素のメモリー性の実現でき、したがって、それに付随して冗長信号の圧縮・省略等をおこなって、低消費電力化、あるいは高速応答化が可能となる。



【特許請求の範囲】

【請求項1】 アクティブマトリクス型電気光学表示装置において、各画素に画素の選択のための第1の素子と、第1の素子から送られた情報をもとに、画素に給電する第2の素子と、第1の素子から出力された信号を記憶するメモリー素子とが設けられたことを特徴とする電気光学表示装置。

【請求項2】 請求項1において、第1の素子および第2の素子は薄膜トランジスタを有することを特徴とする電気光学表示装置。

【請求項3】 請求項1において、メモリー素子は強誘電性材料を有することを特徴とする電気光学表示装置。

【請求項4】 アクティブマトリクス型電気光学表示装置において、特定の画素のみを書換えることを特徴とする電気光学表示装置の表示方法。

【請求項5】 アクティブマトリクス型電気光学表示装置において、1フレーム中に特定の行のみを書き換えることを特徴とする電気光学表示装置の表示方法。

【請求項6】 アクティブマトリクス型電気光学表示装置において、画面の走査周期が、画素の交流化周期よりも長いことを特徴とする電気光学表示装置の表示方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は液晶表示装置もしくは類似の表示装置に関する。本発明は、特にアクティブマトリクス方式の表示装置およびその表示方法ならびにその作製方法に関する。本発明の目的の1つは白黒表示のディスプレイであって、必要な画素のみを書き換えることができ、また、電源を切っても、画像が残り、再び電源を投入すると画像が表示されるディスプレイであって、画像表示およびその維持のための電力を節約するものを提供することである。

【0002】また、本発明の他の目的は、高速物体の表示に優れたディスプレイを提供することである。特にコンピュータの端末のディスプレイ等で用いられる高速応答のディスプレイを提供することである。

【0003】さらに、本発明の他の目的は、デジタル方式の階調表示方式を採用した省電力型のディスプレイを提供することである。

【0004】

【従来の技術】近年の各種OA機器の小型化、省電力化に伴い、ディスプレイ装置も、従来の陰極線管(CRT)から、液晶ディスプレイ(LCD)やプラズマディスプレイ(PDP)のようなフラットパネルディスプレイ(FPD)に置き換えられつつある。特にLCDは電力消費量が小さいため携帯型の機器に用いられることとなった。

【0005】しかしながら、LCDにはまだ、解決すべき問題が多くある。現在、多く使用されているLCDは単純マトリクス型LCDと呼ばれるもので、液晶材料の

名前を取って、STN LCDと称されることがある。STN LCDは作製が簡単であるので、コストが低く、広く普及している。

【0006】しかし、液晶材料としてのSTNは、その材料本来の特徴である応答速度が極めて遅く、高速で動く物体の表示をおこなった場合には、物体に追従できず、表示できないという問題がある。

【0007】また、動作の方式から、1フレーム(通常は10~30 msec)に1つの画素が点灯している時間は、数10 μ secから、1 msecである。これはマトリクスの行数に反比例し、200行のマトリクスでは、1フレーム30 msecとして、約150 μ secしか点灯しない。このため、画面のコントラストは低く、また、画面を斜めから見たときに非常に見づらいという欠点を有している。さらに、画面の一部に非常に明るい、あるいは暗い部分があると、その周囲にまで影響がでてしまう現象(クロストーク)が生じる。

【0008】一方、近年では各画素にアクティブ素子を有し、これによって画素のスイッチングをおこなわせるという方式を有するLCDも提案され、市販されている。これらはアクティブマトリクス型LCDと総称されるが、アクティブ素子の種類によって、TFT LCDやMIM LCDと呼ばれる。TFTとは、薄膜トランジスタのことであり、MIMとは、金属/絶縁体/金属という構造を有するダイオードのことである。

【0009】これらのアクティブ方式のLCDでは、1フレームの間に画素の点灯する時間は、1フレームにほぼ等しいためコントラストが高く、また視野角も広い。しかしながら、技術的な問題からその製造歩留りが低く、コストや販売価格が高く、現在のところ、高級なコンピュータのディスプレイ程度にしか実用化されていない。

【0010】また、現在のLCDの需要は、主として携帯型のコンピュータに使用されている程度であるが、今後は、より広範囲な応用が期待されている。例えば、コードレス電話、携帯電話に付属したディスプレイ、あるいは携帯型の電子辞書等のインフォメーションディスプレイという用途がある。また、大画面のディスプレイを使用して、新聞等の印刷物の閲覧をする装置等も将来の有望なマーケットとして見込まれている。

【0011】そのような場合には、階調表示のような高度な画像表示技術は要求されないかわりに、省電力が第1に必要とされる。しかしながら、従来のLCDはその点で満足できるものではなかった。すなわち、STN LCDもTFT LCD、MIM LCDも、1フレームに少なくとも1回は画像を書き換えなければならないからである。

【0012】また、このような目的で使用するディスプレイでは、同じ映像を長時間にわたって使用することがあるので、省電力のために電源は必要な時以外、切られ

ることが必要とされる。しかし、その度に、メモリー装置から映像を送ることは電力の無駄であり、また、そのために映像を読み出すのに時間がかかる。したがって、ディスプレイ自体のメモリー性があることが望まれる。

【0013】このような特殊な目的のディスプレイに従来のSTN LCDを使用すると、低コストで作製できるが、コントラストが低く、視野角が狭いため見にくく、また、表示中は絶えず、20V以上もの高い電圧パルスが15kHzもの周波数で往復するため、消費電力は大きい。

【0014】また、TFT LCDを使用した場合には、コントラスト、視野角とも良好であるが、コストが高く、また、電圧パルスの高さは10V以下とすることができるが、消費電力は依然大きい。

【0015】特に、メモリー性に注目した場合には、強誘電性液晶(FLC)が知られているが、FLCでは、長時間にわたって同じ画像を表示した場合には、その画像を消去した後も映像が残るという現象が生じる。また、FLCの動作温度範囲は狭く、実用化には到っていない。

【0016】パーソナルコンピュータのディスプレイとして使用する場合には、それほど的高速応答性は要求されない場合がある。例えば、ワードプロセッサの画面において、画像は、テレビの画像のように激しく変化しない。1秒間に変化を受ける部分はほんの一部である。しかしながら、従来のLCDでは1秒間に30回も、不必要にも全ての画像が書かれて、消される必要がある。その場合には、書き換えられる必要のない部分の信号までもを処理して転送しなければならないので動作に過大な負担が課せられる。

【0017】さらに、本発明人らの発明であり、例えば、特願平3-157504、同3-157503、同3-157502、同3-157505、同3-157506、同3-157507、同3-163870、同3-163871、同3-163872、同3-163873、同3-169306、同3-169307、同3-209869、同3-209870に記述されるデジタル階調方式では、極めて多くの信号がやりとりされる必要があるのであるが、そのうちの一部は特に画像に変化をもたらすものではなく、その状態を維持せんがために送られる信号である。従来の方式あるいはその延長線上にあるLCDではこのような高速動作をおこなうと著しく消費電力が増加することが懸念される。

【0018】また、例えばコンピュータのディスプレイ上のカーソルを高速で移動させるように、画像の一部の高速動作を表示する場合には、フレーム周波数を従来の30Hz以上に増加させればよいのだが、従来のLCDでは、静止している画像を含めて画像の全てをフレーム周波数にあわせて書き換えなければならないので、信号処理機能が追従できない。

【0019】従来の液晶材料としてTN液晶を用いたTFT LCDの画素回路とその動作例を図2に示す。TFTのゲイト電極は選択線(ゲイト線ともいう)に、また、ドレインはデータ線(ドレイン線ともいう)に接続され、ソースは画素電極に接続されている。そして、画素電極の対向電極は共通電極として通常は一定の電圧に保たれている。一般には接地されている。

【0020】図2(B)に示すように、選択線には、周期的にパルス印加し、また、データ線には画素の情報を電圧信号として印加する。選択線のパルスの周期は、通常の動作では1フレームの周期であり、典型的には10~30msecである。また、パルスの幅は、周期をマトリクスの行数で割ったもの程度、もしくはそれ以下であり、例えばインフォメーションディスプレイ等を使用されるような比較的小型の100行のマトリクスでは100~300μsecである。

【0021】また、データ線の信号は、画素を点灯状態するときには電圧状態とし、消灯状態とするときは非電圧状態とする。また、電圧状態の極性は周期的に入れ換えられる。これは、TN液晶材料に長時間にわたって直流をかけた場合には、電気分解を起こして劣化してしまうからである。この動作を交流化という。

【0022】さて、このような信号の印加されたTFTのソース側の信号は V_1 に示すようになる。最初に選択線のパルスの印加によって、TFTはON状態となつて、ソースの電圧はドレインの電圧と同じになろうと上昇する。しかし、パルスが切れると同時に、TFTのゲイト電極とソース領域の間の寄生容量のために ΔV だけ電圧の降下がある。その後は、TFTはOFF状態になるので、画素電極は電気的に浮いた状態となり、TFTのリーク電流によって次第に電圧は低下する。

【0023】次に、再び、選択線にパルスが印加され、TFTがON状態となるとソースの電圧は、今度は負のドレイン電圧に近づく。その後、パルスが切れるとともに、やはり寄生容量の影響で ΔV だけ電圧が負にシフトし、リーク電流によって電圧は減衰する。最後の選択線のパルスが印加されたときにはドレインの電圧は0であるので、画素電極に蓄えられていた電荷が放出され、 V_1 は0となる。

【0024】以上が、TFT LCDの動作の基本であるが、このような動作を全ての画素にわたって均一におこなわせることは極めて難しい。まず、TFTは、10~300μsecもの短時間に応答しなければならない、TFTの特性のわずかな違いによって、ソース電圧の値が大きく異なってしまう。特に、キャリア移動度の小さいアモルファシシリコンを使用したTFTでは、このような短時間の間に画素電極の充電が十分におこなわれないうちに選択線のパルスが切れてしまう。

【0025】また、寄生容量による電圧降下の大きさ ΔV は、寄生容量を C' 、画素の容量を C 、選択パルスの

大きさを V_0 とすると、

$$\Delta V = C' V_0 / (C + C')$$

で表現されるように、寄生容量が大きくなると ΔV が大きくなり、したがって、 V_0 は全体的に負（あるいは正）にシフトし、液晶に直流が印加されることとなる。このことによって、液晶の劣化が引き起こされるとともに、特に、30Hz程度のフレーム周波数であれば、15Hzの周期で画像が明るくなったり暗くなったりするちらつきが発生する。しかも、最大の問題はこの ΔV は、各TFTで大きく異なることであり、そのことによる不良が歩留りの低下をもたらす。

【0026】このような問題、特に選択線のパルスの幅をもっと広くすることによってTFTの特性のばらつきを受けにくくしようとする、フレームの周波数を落とす必要がある。動画を表示する必要がない場合には、フレームの周波数の低下はさほど問題とならない。しかしながら、あまりに低周波で駆動した場合には、液晶に実質的に直流が加わることに等しく、液晶の劣化の懸念がある。また、画素電極に蓄えられた電荷は自然に放出されてゆくものであり、例えば、フレームの周期は1秒より長くはできないのが実情である。

【0027】動作速度も早くて寄生容量の少ないTFTとしては、ポリシリコンを使用し、セルフアライン方式で作製されたTFTが理想であるが、その作製には、600℃程度の長時間にわたる熱アニールや、レーザーアニール、電子ビームアニールといった特殊な技術が必要とされる。熱アニールでは、その温度のために基板材料が限られ、また、金属配線として理想的なアルミニウム配線は、このような温度では著しいダメージを受けるので、ゲート電極は他の材料で形成しなければならない。さらに、アニールに要する時間が通常24時間以上というのが問題である。さらに、温度を高めて900～1100℃の高温でアニールする方法があるが、その場合には基板が石英に限られてしまうので、大面積表示は困難で、また、コストアップの要因となる。

【0028】一方、レーザーアニールや熱アニールは、基本的に低温プロセスであり、基板材料の制約は受けにくい、その技術が未熟でTFT特性の再現性に問題があり、また、いずれも量産性に乏しい技術である。

【0029】さらに、図2に示す回路を用いて本発明人らの発明したデジタル階調をおこなおうとすれば、より一層の高速動作が要求される。例えば、16階調のデジタル階調をおこなおうとすれば、従来の16倍の高速動作が必要となる。そのためには、もはやセルフアライン方式のポリシリコンTFT以外は使用できないと考えられるようになった。しかしながら、このデジタル階調の動作の中には極めて無駄な動作も含まれている。デジタル階調は、画素に電圧のかかる時間を分割してその長さを制御することにより、実効的な電圧を制御しようとするものであるが、結局は、従来のフレーム周波数を高め

たことを基本とする。そして、その動作の多くの部分は、従来のLCDの表示方式と同様に書き換える必要もないのに書き換えなければならないという動作で占められている。そして、その結果、著しく電力を消費することとなる。

【0030】

【発明が解決しようとする課題】本発明は以上のべたようなLCDに対する需要と現状のLCDの限界とのギャップを解決するために成されたものである。本発明の目的とする最終的なLCD装置はいくつかある。

【0031】1つは、携帯用のディスプレイとしてのもので、できるだけ消費電力が小さく、またディスプレイ自身にメモリー性のあるもので、特に階調表示を要求されないが、見易く、製造コストの低いものである。

【0032】2つめは、コンピュータの端末として使用するものであるが、やはり消費電力の少なく、また、コストの低いものである。しかも、任意の画素のみを選択的に書き換えることのできる方式を採用できるものである。

【0033】3つめは、デジタル階調をおこなうのに適したディスプレイであり、単に電圧状態の継続をおこなうために新たに外部から信号を追加せずとも、信号状態が維持される方式とすることによって、消費電力を低下させることを目的とするものである。

【0034】4つめは、高速の表示が要求されるコンピュータのディスプレイとして用いるものであるが、そのために必要な画素のみを書き換えることによって、信号の圧縮をなすことを特徴とするものである。

【0035】本発明はこれらの目的を達成するための従来とは異なった画像表示装置と表示方法を提供する。これらの装置に共通して言えることは、第1にディスプレイのメモリー性と交流化の矛盾の解決、第2に特定の画素の書替え技術による信号の圧縮技術、低周波化の提案、第3にTFTのばらつきの許容度の拡充に要約される。

【0036】第1の課題は、従来の回路構成および動作（図2）のTFTLCDでは解決不可能な問題であった。なぜならば、いかなる静止画像であっても、交流化するという事は動画と同じことであり、そのために動画の場合と同様に絶えず選択線とデータ線に信号を印加し続けなければならない。

【0037】第2の課題はメモリー性が確立されてのみ達成されることであり、従来はほとんどかえりみられることはなかった。ただ、メモリー性を有するFLCでのみ試験的に行われていたにすぎない。

【0038】第3の課題は、第2の課題が解決しないかぎり意味のないことであるので、従来はほとんど考慮されることがなかった。すなわち、良いTFTLCDを作製するには粒ぞろいのTFTを作製する技術が不可欠されてきた。しかしながら、そのような思想がもたらし

たものは、莫大な設備投資によるTFT製造ラインであり、しかも、現状ではその投資の回収の見込みはほとんど立っていない。本発明では、この思想を全く否定するものではないが、質の悪いTFTでも十分使用できるような新たなマーケットを提案するものでもある。

【0039】

【問題を解決するための手段】従来のTFTLCDの問題点は、1つのTFTにあまりにも多くの役目を負わせたためであると、本発明人等は考える。すなわち、従来のTFTLCDでは、TFTは、画素の選択と同時に画素電極への給電という2つの役目を持っていた。この上、先に述べたようなメモリー性と交流化の矛盾を解決するというような難問を背負わせることは無理である。

【0040】そこで、本発明では、まず、TFTLCDの在り方を根本から見直し、画素の選択と画素電極への給電という2つの作業を2つのアクティブ素子によって分担しておこなうことを出発点とする。すなわち、画素の選択を判断するアクティブ素子（第1素子）の出力信号を画素電極に給電するアクティブ素子（第2素子）に

入力し、第1素子からの信号に応じて、第2素子が給電のON/OFFをおこなうという構成を有する。また、画素選択の機能と給電の機能が分離されたことから、新たに給電のための配線をもうける必要がある。このような特徴を有する回路構成を出発点として上記の課題を解決する。

【0041】第1の課題は、このような考えに立てば困難なことではない。すなわち、第1素子の出力に不揮発性のメモリー素子を設け、このメモリー素子を經由して、第2素子に信号を送ればよい。第1素子からの信号が切れたとしても、メモリー素子は、最初に入力された第1素子からの信号を記憶していて、これを第2素子に送ってれば、第2素子の給電動作は継続される。

【0042】また、給電動作自体は、第1素子からの信号に依存しないで、正の電圧を印加することも、負の電圧を印加することも可能であるようにすることが必要である。もし、第1素子の特定の信号によって正または負の電圧のみの印加動作しかできない場合には、交流化は不可能である。例えば、第1素子から正の信号が送られたら第2素子では正の電圧供給しかできず、負の信号が送られたら負の供給しかできないというのであれば、交流化の度に第1素子の信号が必要であり、メモリー性と矛盾する。

【0043】第2の課題の解決はメモリー性の問題が解決されれば容易である。メモリー性によって不必要な画素への信号を送る必要はないので、画素に送る信号は著しく削減できる。特にコンピュータのディスプレイのようなほとんど動かない画面の場合には著しい。そして、この延長上には、いくつかの応用が考えられる。

【0044】例えば、1フレーム中に、画面の特定の画素行のみを書き換えるということも可能である。例とし

て、200行のマトリクスを40フレーム/秒の速度で駆動する場合を考える。1秒間の第1フレーム（1フレームは25msec）では第1行から第5行までを書替え、他の画素行は前の状態を保つ。第2フレームでは第6行から第10行までを、第3フレームでは第11行から第15行までを書き換える。このように、1フレームにつき、5行ずつ書き換えて、ちょうど1秒で全画面を書き換えたこととなる。このとき、信号処理装置にしてみれば、いままでは、1秒間に $40 \times 200 = 8000$ 行分の信号を処理して送り出す必要があったのが、1秒間に200行の信号を送り出せばよいだけで極めて負担が減る。一方、オペレータにとっては、1秒間に一回しか画面が変わらないということは不便なことでもあるが、例えば、単なる情報の検索として使用する場合にはほとんど障害はない。また、人間の応答能力という点からすれば、1秒間に5回も画面が書き換えられれば、使用上の不便さはほとんど感じられない。

【0045】しかも、上の例では、25msecの間に5行分の情報を処理すればよいので例えば、第1素子をTFTとする場合には極めて動作条件が緩和される。すなわち、従来は $100 \mu\text{sec}$ 以下の短パルスに反応しなければならなかったのが、この場合には5msecの極めて長いパルスに反応すればよいのである。

【0046】また、コンピュータの端末として、特定の行のみを書き換えるということも新しい使用方法である。さらに、カーソルのみが動くという画面においては、カーソルの占める行数は高々10行であるので、1フレームの間に最大でも20行のしかも、特定の列の信号のみを処理すればよいので、信号処理装置の負担は著しく減り、その分、カーソルの高速移動が可能である。従来は1フレームに全ての画素を書き換える必要があった。このような使用方法も本発明によって新たにもたらされたものである。

【0047】第3の課題は、第2の課題の解決によってもたらされる。すなわち、信号処理回路にかけられる負担が著しく減少するので、低級な素子を第1素子、第2素子として用いることも可能である。第2の例では、単位時間に処理すべき行数が著しく減るということによって、素子の応答時間が著しく緩和されることが示された。

【0048】また、従来と同じ特性の素子を用いた場合には、従来の10倍以上の情報処理能力を発揮できるということでもある。したがって、従来のTFTではとてもできなかったデジタル階調のような高度な技術を実現することも可能となった。

【0049】さらに、本発明の特徴とする第1素子と第2素子の組合せで画像表示をおこなうという方式は、第1素子の負荷をある程度調節できるという自由度を保有している。従来は、TFTにかかる負荷は画素の容量がほとんどで、この値を変更することは画素自体を変更す

10

20

30

40

50

ることであるので、自由度はほとんどなかった。

【0050】本発明では、第1素子の負荷は素子内部の負荷に加えて、メモリー素子の負荷と、第2素子に起因する負荷であるので、これらを最適化することによって第1素子の負荷を著しく低減できる。

【0051】本発明では、第2素子は定常的な動作をする素子であるので、多少負荷が大きくとも画像表示の点で問題になることは特になく、唯一のダイナミックな動作をする素子は第1素子であった。本発明では、先に述べた信号圧縮技術を利用して第1素子にかかる負担を減らすことが可能であるが、その上にこのように回路の最適化をはかることによってさらなる動作の軽減を実現することが出来る。

【0052】本発明の中で、メモリー素子としては、各種のものが考えられる。このメモリー素子は、その使用目的によって書替え回数が決定される。例えば、40フレーム/秒でデジタル階調をおこなう場合には、ディスプレイの耐用時間を1000時間とした場合には、最低でも 10^9 回の書替えに耐えることが必要である。一方、1秒間に1回程度の書替えをおこなうインフォメーションディスプレイでは、 10^6 回程度の書替えに耐えるだけで良い。

【0053】強誘電体のように自発分極によってメモリー動作をおこなう材料を素子として使用すると、 10^{10} 回以上の書替え動作に耐えるので、ほとんどの目的に使用することが出来る。強誘電体としては、PZT、PZLT等のペロブスカイト型、あるいは Bi 、 Ti 、 O_{12} のような層状構造型の無機誘電体や、ポリビニリデンフロライド(PVDF)、ビニリデンフロライドとトリフルオロエチレンの共重合体、さらには、ビニリデンサナイドとビニルアセテートの共重合体のような有機誘電体が適している。無機材料を作製する場合にはある程度の高温が必要とされる場合がある。例えば、PZTで良好な自発分極を得ようすると 450°C 以上のアニールが必要となる。

【0054】電荷注入等によって帯電することによって、メモリーする場合には、電荷注入の際に、絶縁膜に損傷を与えることが知られており、 10^6 回程度と概して書替え回数は低いので注意が必要である。

【0055】半導体回路によって、例えば、フリップ・フロップ回路を組んで、SRAMのような回路を構成し、これをメモリー素子として用いることは、製造工程が複雑になることから適切でない。

【0056】また、記憶保持時間が短いことが難点であるが、PNダイオードやPINダイオード、MIMダイオード等のダイオードを用いることもできる。さらに、特に素子を設けなくとも、第1素子において、何らかの事情である一定の時間だけ、出力信号が持続するのであればそのまま利用できる場合がある。例えば、第1素子をTF Tとした場合に、そのOFF電流が十分小さけれ

ば、かなりの長い時間にわたって、電圧を維持できる。

【0057】しかしながら、そのような使用をおこなう場合には、同じ行に書替えを要する画素があっても書替えをすることができないことに注意しなければならない。すなわち、画素ごとの書替えは不可能で、行ごとの書替えが要求される。

【0058】第1素子や第2素子は、TF TやMIMダイオード、PINダイオード等のアクティブ素子単独、あるいはそれらまたはそれらと抵抗、コンデンサー等のパッシブ素子の組合せによって構成される。最も簡単には、第1素子および第2素子にTF Tを用いたものがある。その例を図1に示す。

【0059】図1(A)で、第1素子は Tr_1 として示されるTF Tで、第2素子は Tr_2 として示されるTF Tである。そして、 Tr_1 のゲイト電極は選択線 V に、ドレインはデータ線 V_d に接続され、さらに、ソースは、メモリー素子である強誘電体キャパシタFEの一端に接続されている。

【0060】また、 Tr_2 は、そのゲイト電極が強誘電体キャパシタFEの他の一端に接続され、そのドレインは画素に電圧を供給する配線である電圧供給線 V_{cc} に、また、ソースは画素キャパシタLCの電極の一端に接続されている。電圧供給線は、選択線と平行に形成するとよい。

【0061】この画素の動作例を図1(B)に示す。この例では、3つのフレームにおける画素の状態を記述することとし、第1フレームで点灯し、第2フレームでも点灯状態を継続し、第3フレームで画素は消灯されるものとする。以下では簡単のために画素の対抗電極の電位を0とする。また、 Tr_1 も Tr_2 もNMOSであるとする。

【0062】選択線には、従来のTF Tと同様にパルスが印加される。また、データ線にはデータ内容に応じて正または負の電圧が印加される。まず、最初に選択線に第1フレームのパルスが印加されたとき($t=t_0$)には、図に示すように、データ線は正の電圧状態であるから、図1(A)中の V_d で示される、 Tr_2 のゲイト電極の電位は従来のTF Tの動作と同様に増大し、パルスが切れるとともに低下する。また、 Tr_1 を経由した放電によって次第に低下する。ただし、 Tr_1 のソースと Tr_2 のゲイト電極の間には強誘電体キャパシタFEがあるので、一定の電圧がキャパシタに印加されることによって、強誘電体が自発分極し、したがって、 V_d の電位は一定の値以下には下らない。ここが、従来のTF T LCDとは異なる点である。

【0063】さて、次に選択線に第2のパルスが印加される時間 $t=t_1$ になる。もし、同じ選択線に書替えをする必要がある画素があればパルスを印加しなければならないが、もし、他の画素の書替えの必要がなければ、このパルスはなくてもよい。例え、パルスがなくとも、

10

20

30

40

50

画素は点灯状態を持続する。その理由については後で説明する。

【0064】最後に、画素の消灯操作が必要な第3フレームであるが、 $t = t_2$ には、選択線にパルスが印加される必要が生じる。そして、データ線には、消灯のための負の電圧が印加される。その前まで、 V_1 の電位は強誘電体キャパシタによって一定の正の電位に保たれていたが、 $t = t_2$ 以後は、データ線の信号によって、ソースは負に帯電し、したがって、強誘電体の極性は反転して負の値となる。

【0065】このときも、最初の場合と同様に、強誘電体の自発分極によって一定の電位以上には上がらない。

【0066】さて、画素に給電する動作を担当する Tr_2 のドレインは電圧供給線 V_{1c} に接続されているが、この電圧は図に示すように、選択線のパルスに同期し、かつ、フレームごとにその極性を反転させる。このことによって画素の交流化が可能となる。順に見てゆくと、第1フレーム($t = t_0$ から t_1) では負に、第2フレーム($t = t_1$ から t_2) では正に、第3フレーム($t = t_2$ 以降) では再び負になる。また、選択線のパルスの印加とはほぼ同時に電圧状態となり、次に選択線のパルスが印加される少し前に非電圧状態となる。

【0067】さて、第1フレームでは、 V_1 は正に帯電している。したがって、 Tr_2 はON状態であり、電圧供給線 V_{1c} に印加された電圧によって、図中の V_2 に示された点の電位(実質的に画素電位に等しい)は負になる。このときには、 Tr_2 のON抵抗と画素の容量によって、電圧が一定の値に達するまでに一定の時間がかかる。また、画素の電位は実質的に電圧供給線の電位と同じに保たれる。従来の例のように、放電によって画素電位が変動したり、寄生容量によって電位の非対称性が生じるという問題点はほとんどなく、したがって、安定した画像が得られる。第2フレームに入る前に電圧供給線の電位は0となる。このためそれまで画素に蓄えられていた負の電荷は放電される。

【0068】次に第2フレームでは、選択線のパルスは印加されず、また、データ線にも信号が印加されない。したがって、 V_1 は強誘電体の自発分極によって、第1フレームの状態を維持する。また、仮に選択線にパルスが印加されたとしても、 Tr_1 のソース側の電位は0にはほぼ等しいが、 Tr_2 のゲート電極の電位は、強誘電体キャパシタFEの自発分極によって、第1フレームの状態を維持し(記憶し)続ける。したがって、 Tr_2 はON状態を継続し、画素は今度は正の電位となる。

【0069】第3フレームでは、 V_1 の電位は一転して負になる。このため、 Tr_2 はOFF状態となる。さて、第3フレームの前に第2フレームの場合と同様に電圧供給線の電位が0となっているので、第3フレームに入る前に画素に蓄えられていた正の電荷は十分放電され

ている。したがって、 Tr_2 がOFFになっても、画素に取り残された電荷は十分小さい。

【0070】もし、強誘電体キャパシタのようなメモリー素子がない場合には、 V_1 の電位は時間とともに減少するので、点線で示すように各フレームごとに選択線およびデータ線に信号を入力しつづけなければならない。このような動作はメモリー素子によって不要となる。

【0071】ただし、メモリー素子がなくとも、もし、自然放電による電荷の損失が著しく小さいならば十分にメモリー性を利用した使用が可能である。例えば、 Tr_1 のOFF抵抗と Tr_2 のゲート電極とチャネル領域のキャパシタンスの時定数が1秒もあれば、1秒に一回、画面を書き換えるようなモードで使用すればよいのである。そのためには Tr_1 としてOFF抵抗の高いアモルファスシリコンTFTを用いるとよい。そのことは同時にON抵抗が高いことを意味するが、本発明では特に問題とならない。なぜならば、本発明では、選択線のパルスの幅は従来に比べて格段に大きくすることが可能であるからである。そのため、ON抵抗が大きくとも動作には十分な時間がある。

【0072】例えば、アモルファスシリコンTFTでは、OFF抵抗を $10^{13} \Omega$ とできる。このとき、 Tr_1 の静電容量を $10^{-13} F$ とすれば、時定数は1秒であり、電圧が80%減少するにはその22%の0.22秒、また、70%、60%減少するには、それぞれ0.36秒、0.51秒を要する。

【0073】通常の液晶画素の容量は $10^{-13} F$ 程度であるが、 Tr_1 の駆動の負担を減少させる目的で Tr_1 の静電容量を $10^{-14} F$ とすると、時定数が0.1秒となり、このようなメモリー的な使用は不可能となる。しかし、30フレーム/秒程度の通常の動作であれば、1フレームの間に Tr_2 のゲート電極の電位の降下は30%程度にとどまり、問題なくおこなえる。

【0074】強誘電体メモリー素子を使用した場合には、1年以上経過した場合でも Tr_2 のゲート電極はほぼ一定の電位に保たれて表示することができる。したがって、表示が終了して、電源を切った後、再び、電圧供給線に電圧を印加した場合にはもとの表示を再現することができる。

【0075】このような表示装置の利用方法としては、携帯電話や電子手帳、電子辞書等のディスプレイが考えられる。これらの装置では、画像が早く動くことや階調表示は要求されないが、見易く、消費電力の小さいものが望まれる。

【0076】STNLC Dはこのような目的には適したものではなかった。というのは、STNLC Dは先に説明したように視野角が狭く、また、コントラストも低いので見にくく、また、1秒間に30回も書替え動作を行うので消費電力が大きくなった。また、TFTLC Dでは見にくさは克服できても消費電力は本発明によるもの

より大きい。

【0077】本発明では、書替えの動作が全くなわれない静的状態(図1(B)の第2フレーム)では、選択線にもデータ線にも信号が印加されていない。電圧供給線には交流パルスが印加されるが、その消費電力は、従来のTF T L C Dの選択線の消費電力と同程度である。したがって、データ線の出力信号の分だけ本発明の方が消費電力が小さい。さらに、装置全体を考慮すると、従来のTF T L C Dでは、毎秒30回の書替え動作のために装置の内部の記憶回路を動作させなければならなかったのに対し、本発明では、静的状態では、ディスプレイ自身にメモリー性があるために、電圧供給線にパルスを供給する動作以外は不要であり、さらに電力を節約することが出来る。

【0078】また、本発明を用いたディスプレイでは、一度、電源を切ったのちにも、再び電圧供給線に交流パルスを印加すれば以前の表示内容をそのまま表示できる。しかしながら、従来のTF T L C Dでは、ディスプレイ自身にメモリー性がなかったので、一度電源を切れば、再び、装置の内部記憶装置や外部記憶装置からデータを読み出して表示することとなり、立ち上がりに時間がかかり、かつ消費電力が大きくなる。動作の速度および消費電力の点で本発明が優れていることがこのことから示される。

【0079】本発明を利用してLCDパネルを作製すれば、上述のようにその表示を維持するための外部からの信号の供給は不要であるが、このことを積極的に利用すれば、特定の画素のみを書き換えることが出来る。その際には、書き換える画素数(あるいは画素行)の数が小さければ、外部から供給する信号量を節約できる。その例を図3を用いて説明する。

【0080】図3(A)において、あるフレームでLCD上の選択線 X_1 、 X_2 、 X_3 およびデータ線 Y_1 、 Y_2 、 Y_3 、 Y_4 の交点にある4つの画素 Z_{11} 、 Z_{13} 、 Z_{24} 、 Z_{32} のみを書き換える必要が生じたとする。すなわち、画素 Z_{11} 、 Z_{13} 、 Z_{24} は、それまでの消灯状態から点灯状態に、画素 Z_{32} は点灯状態から消灯状態に、状態を変化させるものとする。このときには、他の画素の状態は全く変化しないのであるから、他の画素の選択線、データ線には信号を送る必要はなく、ただ、電圧供給線に、適当なタイミングで電圧を送ればよい。

【0081】図3(B)には、その場合の各選択線、データ線および画素の信号の状態を示す。まず、選択線から見てゆく。この場合には、選択パルスを送る必要がある選択線は、上記の X_1 、 X_2 、 X_3 だけである。したがって、この3つの選択線に時間をずらしてパルスが印加される。図中で $V(X_n)$ は選択線 X_n の信号を示す。

【0082】一方、データ線に関しては、このフレームでデータが送られるのは、上記の Y_1 、 Y_2 、 Y_3 、 Y_4

だけである。そして、書替えの内容と選択パルスに合わせて正あるいは負の信号が送られる。ここでは、点灯する場合には負の、消灯する場合には正の電圧が印加される。図中で $V(Y_n)$ はデータ線 Y_n の信号を示す。

【0083】さて、図では示さないが、このような信号をもとに各画素に設けられたTF T、 T_{r1} が作動し、 T_{r1} のソースと T_{r2} のゲイト電極の間の強誘電体キャパシタの極性をそれぞれ反転させる。このLCDでは、 T_{r1} をNMOS、 T_{r2} をPMOS型TF Tとすればよい。すなわち、画素 Z_{11} 、 Z_{13} 、 Z_{24} では、それぞれ T_{r2} のゲイト電極は正に帯電していたものが負に変化し、逆に、画素 Z_{32} では、負から正に変化する。このようにして、先の3つの画素の T_{r2} はON状態となり、後の1つの画素はOFF状態となる。デプレッション型のTF Tを用いても同様に動作できる。

【0084】電圧供給線の電圧は図1に示したように選択線パルスに同期して印加される。このフレームでは負の電圧が印加されるものとする。各選択線のパルスが印加される前に、電圧供給線の電位は一時0となり、この間にそれまで、各画素に蓄えられていた電荷が放出され、各画素の電位は0となる。

【0085】さて、このようにして、各画素はそれぞれの表示をおこなう。画素 Z_{11} 、 Z_{13} 、 Z_{24} はON状態となったので、画素は電圧供給線の電位に等しくなり、また、画素 Z_{32} はOFF状態となったので、電圧供給線の電位に関係なく電位0を維持する。他の画素は、 T_{r2} のゲイト電極の電位が変化していないので、以前と同じように表示を続ける。

【0086】ところで、画素 Z_{32} と同じ行にある画素 Z_{34} はどうかというと、ここには、選択線のパルスは印加されるけれどもデータ線のパルスは印加されないの、その状態は以前と変わらず、点灯状態である。したがって、電圧供給線の電圧とともにその画素電位が変化する。図中で $V(Z_{nn})$ は画素 Z_{nn} の電位を示す。

【0087】また、それ以外の行の画素に加えられる電圧供給線の信号についてであるが、1つの方法としては、フレームの開始時にそのフレーム中に選択パルスが印加されない行の電圧供給線には全て同時に同じ信号を印加するという方式がある。

【0088】あるいは、 X_1 から X_2 の1つ前の行までは X_1 の電圧供給線と同じ信号を印加し、 X_2 から X_3 の1つ前の行までは X_2 の電圧供給線と同じ信号を、さらに X_3 以後は X_3 と同じ信号を印加するという方式もある。

【0089】図3では、前者の例を採用した。すなわち、選択線 X_2 には次のフレームでもパルスが印加されるので画素 Z_{24} は違うが、他の画素は全てフレーム終了に合わせて画素電圧の反転がおこなわれている。選択線 X_2 には、次のフレームでパルスが印加されるので、その行の電圧供給線には選択線に同期した電圧が供給され

10

20

30

40

50

る。その結果、画素 Z_1 では、電圧の反転は、他の画素よりも遅く始まる。

【0090】図3の例では書き換えられた行数は3行であったが、1フレームの周期に余裕があるので、さらに4行の書替えが可能である。また、それ以上の行の書替えの必要な場合にはフレームの周期を延長する等の方法で対処できる。

【0091】さて、本発明では、第1素子と第2素子の適切な組合せによって、第1素子の負荷を削減することが可能であることは先に述べた。しかし、例えば図4に示すような回路によって、 Tr_1 の負荷を減らすために Tr_2 のゲート電極の容量 C_2 を小さくしたとしよう。メモリー素子（強誘電体メモリー等）のキャパシタンス C_3 も存在するが、この直列のキャパシタの合成容量 C' は、 C_2 あるいは C_3 の程度である。そして、この合成容量 C' が小さい場合には Tr_1 のゲート電極とソース領域との重なりによる寄生容量 C_1 を無視できなくなることがある。

【0092】この寄生容量 C_1 によるソース電圧の変動 ΔV は、

$$\Delta V = C_1 V_0 / (C_1 + C')$$

によって算出される。ここで、 V_0 はゲート電圧である。極端な場合には、 ΔV はゲート電圧の50%に達する場合もある。図4はそのように、 ΔV の著しく大きな例であるが、 Tr_1 のソースの電位 V_1 は、ドレインに印加される信号が正か負かによって大きく形状の異なったものとなる。図4では、寄生容量によって、選択線パルス電圧の40%の変動がおこる例を示してある。

【0093】本発明においては、一時的にでもソース電圧がメモリー素子の記憶レベル以上の電圧となれば、メモリー素子の極性を遷移させることが出来るのでそれほど問題ではない。例えば、メモリー素子を強誘電体キャパシタとして用いた場合には、強誘電体に一定の電場以上の電場が印加された場合にはその状態を変化させることが出来る。このことは、キャパシタとして捉えた場合には、強誘電体キャパシタに一定の電圧以上の電圧（図4（B）中の点鎖線）が印加されれば良いことである。通常のモードで表示をおこなう場合には、選択線パルスの幅は50 μ sec以上の幅があり、したがって、ほとんど強誘電体メモリーの遷移が完了するに十分である。

【0094】しかし、さらに高速駆動する場合には十分な遷移がおこなえない場合がある。例えば、デジタル階調をおこなう場合には、通常の10数倍から数100倍の高速パルスを送るので、このパルス幅が1 μ sec以下となる場合もあり、その結果、強誘電体メモリーの遷移が十分に行われない恐れがある。

【0095】このような問題を解決するには、例えば図4（B）中に点線で示すように、正の信号や負の信号のレベルを適当に調節することによって強誘電体に十分な遷移を起こせるような電圧と時間を与えることが出来

る。例えば、正のデータ信号のレベルを上げてやれば、 V_1 は上にシフトする。また、負の信号が大きすぎることによって障害があれば、負のデータ信号を小さくすることによって、正の信号と対称なレベルに保つことが出来る。このような設計変更はパネルを作製したのちに、信号の電圧を変更すればよいだけであるので簡単に行える。

【0096】また、このような問題はTFTの非対称性に由来するものである。例えば、図5のように Tr_1 を単独のTFTとするのではなく、NMOSとPMOSとを組み合わせたCMOSトランスファークエイトとすることによって改善することができる。その場合には図に示すようにデータ線の信号が正の時には、選択線には負のパルスを、データ線の信号が負の時には、選択線には正のパルスを、それぞれ印加すればよい。あるいは正と負のパルスの一体化したバイポーラパルスを印加してもよい。

【0097】以上の記述は、白黒2段階の表示について示したものであった。本発明の構成では、第1素子と第2素子の間の情報のやり取りは静的なON/OFFであるので、画素にアナログ的な電圧を供給することはほとんど不可能である。したがって、本発明を利用して階調表示を得ようとすればデジタル階調によらなくては実現できない。デジタル階調に関しては本発明人等の発明の特願平3-157504、同3-157503、同3-157502、同3-157505、同3-157506、同3-157507、同3-163870、同3-163871、同3-163872、同3-163873、同3-169306、同3-169307、同3-209869、同3-209870等に、その詳細が示されている。

【0098】本発明を用いてデジタル階調をおこなう例を説明する。図1で示した第1および第2素子として、NMOSのTFTを画素に組み込んだものを使用した場合について説明する。より深い理解を得るために、同じ行の隣あった画素について記述する。この場合、選択線と電圧供給線はどちらの画素も同じである。一方、データ線はそれぞれお、異なり V_0 と V_0' である。また、第1の画素および第2の画素の Tr_2 のゲート電極の電位を、それぞれ V_1 、 V_1' で、また、実質的に画素の電位である Tr_2 のソース電位に関しても、それぞれ、 V_2 、 V_2' とする。

【0099】図6には8階調の表示を、本発明人等の発明である特願平3-157504、同3-157503、同3-157502の方式でおこなう例を示した。デジタル階調には、この他にもいくつか例があるが、いずれのものに本発明を利用した場合でも動作の基本は同じであるので、個々の例は省略する。

【0100】図において、選択線 V_0 には1フレーム中に7つのパルスが印加されるように時間が設定されてい

10

20

30

40

50

る。しかしながら、実際には必ずしも全てのパルスが印加されるとは限らない。従来のデジタル階調では、画素の電圧状態を維持するためだけに選択線やデータ線に信号が送られたが、本発明では、各画素はメモリー性を有しているのでそのような操作は不要であることはこれまで述べてきた通りである。

【0101】例えば、選択線の行のいずれかの画素に書換えが必要であれば、パルスを印加することが必要とされるが、それ以外はパルスを印加する必要はない。図6の例でも、第1のパルスは注目している画素をはじめとする画素の書込み（点灯）のために必要とされるが、第2、第3、第5のパルスは送られない。点線で示されているのは従来の方法でデジタル階調を行う場合の信号である。第4および第7のパルスは、それぞれ、第1画素、第2画素の消去（消灯）のためであり、また、第7のパルスは同じ行の他の画素の消去のためである。

【0102】このように、本発明では不要なパルスを送る必要がなく、駆動回路にかかる負担が著しく軽減される。一方、電圧供給線 V_{LC} には選択線 V_s に同期して規則的にパルス信号が送られる。そして、1フレームが終了するとパルスの極性が反転する。これは、交流化のためである。

【0103】また、データ線 V_d に関しても、フレームの最初に書込みのために正の電圧が入力されたのちは、消去のための負の電圧が入力されるまでは信号が入力される必要はない。図中の点線は従来の方法でデジタル階調をおこなう場合の信号波形であるが、本発明では信号波形が著しく簡単になっていることがわかる。第1画素は第4の選択線パルスのときに消灯し、また第2画素は第7パルスのときに消灯する。したがって、それに合わせて、負の電圧がそれぞれのデータ線に印加される。

【0104】さて、このような選択線とデータ線の信号によって、 V_s および V_d の信号は図に示されるようになる。すなわち、データ線に負の信号が印加されたときに極性が反転する。その結果、 T_{r1} は以後、OFF状態となり、画素の電位 V_{d1} 、 V_{d1}' も図に示すようになる。すなわち、第1画素は3周期だけ点灯状態になり、第2画素は6周期だけ点灯状態となる。すなわち、第1画素、第2画素は、8段階のうちのそれぞれ、第4段階、第7段階の表示をおこなったこととなる。（第1段階の表示は一度も点灯状態とならない場合である。第8段階の表示はずっと点灯状態である場合である。）

【0105】このようにデジタル階調をおこなうに際して、本発明は極めて有効な働きをすることが明らかであろう。より階調度を上げることとはもちろん可能であるし、特に信号の量を減らすことによって、周辺回路の負担を軽減し、より1層、本発明の特徴を生かせることとなる。

【0106】デジタル階調をおこなう場合に限らず、通常の表示をおこなう場合であっても、本発明では選択線

やデータ線の信号を省略することができる。その省略をおこなうには論理回路が必要であるが、図8にはその1例を示す。

【0107】図8（A）に示された例は、現在、広く使用されているコンピュータのディスプレイ装置の制御系統である。すなわち、CPUから送られた映像信号はビデオインターフェースに入れられて、ここのVRAMに記憶される。そして、LCDインターフェースを通じて、フレーム周波数に同期してVRAMからLCDに信号が出力される。CPUからはフレーム周波数に合わせて信号が出力される。

【0108】もし、このような既存の装置を使用するのであれば、このままでは従来と同じようにLCDが駆動されるので、本発明の特色である、LCDに入力される信号の削減をおこなうことができない。そこでビデオインターフェースに特別な工夫をおこなうことが必要である。その最も、簡単な方法はVRAMを連想メモリーによって構成することである。連想メモリーとは、データ列を入力して、それに合致する、あるいは類似するデータ列を持ったワードの有無、そのアドレスや個数を単一のサイクルで調査、出力することのできるメモリー装置で、図8（B）に示すように、SRAMセルに検索機能を加えたものである。すなわち、この図では $T_1 \sim T_n$ はCMOS型のSRAMセルで、その記憶情報を $T_1 \sim T_n$ によって照合する構造となっている。

【0109】以下に基本的な動作について述べる。RAMとしての動作モードはCMOS型セルと基本的には同じで、全ての検索イネーブル線を低電圧状態（Lレベル）にしておこなう。検索動作は、全てのワード線をLレベルに、検索イネーブル線とマッチ線を高電圧状態（Hレベル）にして、検索をおこなうビット線にデータを入力する検索をおこなわないビットに対応するビット線対は共にHレベルに保つ。検索するビットでは、もし、データが不一致であれば、例えば、記憶データが“1”であれば、 T_1 がON状態にあり、ビット線BL側がLレベルであるから、 T_1 、 T_n を介して、また、反対に記憶データが“0”であれば、 T_1 、 T_n を介して、マッチ線の電位がビット線対の電位のLレベル側によって引き落とされる。したがって、全ての検索ビットが一致した時のみマッチ線がHレベルに保たれることとなる。

【0110】このようにして、既にLCDに表示されている各選択線ごとのデータ（既にVRAMに記憶されている）が、CPUから送られてくるデータと同一であるかどうかを検索し、同じであれば、LCDには出力せず、違う場合にのみLCDに出力し、かつ、VRAMに書き込むことによって、選択線のパルスおよびデータ線のデータの省略をおこなうことができる。

【0111】本発明を実施せんとすれば、公知の各種薄膜半導体技術を援用すればよい。ここではその詳細につ

10

20

30

40

50

いては述べないが、これらの技術の組み合わせによって様々なタイプのものが得られる。例えば、 Tr_1 としてNMOS (PMOS) を、また Tr_2 としてPMOS (NMOS) を使用した場合には、相補的な効果によって高速動作が可能である。

【0112】また、 Tr_1 としてエンハンスメント型TFT用い、 Tr_2 としてデプレッション型TFTを用いることもよい。さらに、 Tr_1 には、高速動作が可能なポリシリコンTFTを、 Tr_2 には作製が容易でOFF抵抗の大きいアモルファスシリコンを用いてもよい。理想的には、どちらのTFTもポリシリコンで構成することが望まれるが、現状の技術では、ポリシリコンはOFF抵抗が低く、そのため Tr_2 がOFFであっても、リーク電流によって画素に電荷が流れ込むという危惧がある。それに対処するには、交流化を10Hz以上でおこなうことも1つの方法であるが、OFF抵抗の高いアモルファスシリコンTFTを使用することも有効である。

【0113】どちらのTFTもアモルファスシリコンを用いて構成することはコストダウンの見地から望ましい。特に、ポリシリコンを作製するには、レーザーアニール等の特殊な技術でなければ、600℃以上の高温が必要とされ、基板材料が著しく制約されてしまう。したがって、量産性に関してはアモルファスシリコンは優れている。しかしながら、アモルファスシリコンTFTは、スイッチング速度が小さいのが難点であり、使用に際しては、その点を十分考慮した用途に限定することが望まれる。

【0114】

【実施例】図7に本発明を実施する為の画素の駆動回路例を示す。上は断面図を、下は上面図を示す。この回路は、3層金属配線の逆スタガー型2重TFTを有している。このような回路を作製するには以下のようにすればよい。

【0115】まず、適当な基板101上に選択線(Tr_1 のゲイト電極・配線となる)102をバターンニングする(マスク1)。そして、ゲイト絶縁膜および層間絶縁物として機能する第1絶縁物層103を成膜する。次に、CVD法等によってアモルファスシリコンあるいはポリシリコン膜104を形成し、それをバターンニングする(マスク2)。次に、マスク1を用いて、窒化珪素膜等のエッチングストッパー105を選択線に重なるように形成する。あるいは、基板の裏面から光を照射して、セルフアライン的にこのエッチングストッパーを、選択線に重なるようにバターンニングしてもよい。

【0116】次に、不純物ドーブされた半導体膜106を形成・バターンニングする(マスク3)。このとき、半導体膜106は、 Tr_2 のゲイト電極となるように特殊な形状とする必要がある。その後、金属材料でデータ線108を形成し(マスク4)、半導体膜106のドレインとコンタクトを形成する。その後、強誘電体膜107

をバターンニングする(マスク5)。この強誘電体膜は、先に述べた各種無機あるいは有機材料が利用できるが、有機材料を用いる場合にはその後の作製プロセス温度の制約があるので注意を要する。

【0117】そして、第2の絶縁物層109を形成し、アモルファスシリコンあるいはポリシリコン膜110を形成し(マスク6)、次に、マスク3を用いて、エッチングストッパー111を選択線に重なるように形成する。

【0118】次に、不純物ドーブされた半導体膜112を形成・バターンニングする(マスク7)。その後、金属材料で電圧供給線113を形成し(マスク8)、半導体膜112のドレインとコンタクトを形成する。さらに、透明導電膜114をバターンニングする(マスク9)。

【0119】以上の工程では、全部で9枚のマスクを必要とし、また、マスクプロセスは11回必要である。強誘電体のバターンニングには、マスク3をそのまま使用してもよい。

【0120】マスクの枚数を減らすには、2つのTFTを同時に形成して、それを配線で接続するという方法を採用することも出来る。その場合には、マスクプロセスは7枚で済む。

【0121】この回路では、強誘電体キャパシタは独立した存在としては形成されておらず、 Tr_2 のゲイト絶縁膜の一部のように形成されているが、回路的には図1で示したものと同等である。

【0122】さらに、ここで、注意しなければならないのは、このようにゲイト絶縁膜と重なるような構造をとる場合には、電圧印加時に自発分極を示すように強誘電体膜の厚さを設計しなければならないということである。すなわち、強誘電体膜の誘電率は通常のゲイト絶縁膜材料の酸化珪素や窒化珪素に比べて大きい。

【0123】また、自発分極を誘発させるには 10^4 V/cm以上の電界がかかることが必要である。例えば、このゲイト電極に10Vの電圧がかかる場合には、強誘電体膜の厚さは $10\mu\text{m}$ 以下とすることが必要であるが、また、強誘電体膜の厚さが $0.1\mu\text{m}$ でその上の酸化珪素膜の厚さが同じ程度であれば、比誘電率に応じて印加された電圧のほとんどが酸化珪素膜(低誘電率)にかかってしまい、強誘電体膜には自発分極に必要な電圧がかからないことがおこる。例えば、無機強誘電体では、比誘電率は1000以上であるので、 0.1V 程度しか電圧がかからないという事態になる。

【0124】

【発明の効果】本発明によって全く新しい機能をもった表示装置を得ることが出来る。この表示装置の特徴であるメモリー性を最大限生かすことによって、LCDの利用範囲を著しく拡大することが出来た。

【0125】例えば、本発明によって、静止画専用の低消費電力で見やすいLCDを作製することができた。こ

れは、読出専門のディスプレイのように動画を表示する必要のない装置に使用できる。従来は、このような目的に適したLCDは無く、STN LCD等を利用していたが、これは画像が見にくく、そのためバックライト等が不可欠とされてきた。そのため、駆動回路の電力消費に加え、バックライトの消費電力のために多大な消費電力を必要としていた。特にLCDが得意とする携帯型の利用には適さないものであった。

【0126】しかしながら、本発明のLCDはスタティックな動作であるので、消費電力が少ないという点に加え、視認性に優れ、特にバックライトがなくとも十分に表示をおこなえるという特色を有している。

【0127】コスト的にはTFTを形成することによって、STNよりも高くなるが、従来のTFT LCDに比べると、TFTの特性の許容範囲が広く、したがって、従来のTFT LCDより低コストで生産される。さらに、消費電力と見やすさを考慮した場合にはSTN LCDに対する価格面の劣勢は完全に逆転する。

【0128】特に大マトリクスの場合には、STN方式では、クロストークの問題によって、大画面化がほとんど実現不可能であるのに対し、本発明では、画面の大きさの制約はほとんどないことも本発明の特筆すべき点である。

【0129】また、本発明を用いて、データの圧縮をおこなえば、従来には容量オーバーなため、追従できなかった高速動作をも表示できる。この目的には、コンピュータのディスプレイが適している。

【0130】さらに本発明をデジタル階調に利用した場合にも、データの圧縮効果によって周辺回路の負担を著しく低減することが出来る。以上のように本発明は多岐の応用分野にわたって、その特質をいかんなく発揮するのである。

【図面の簡単な説明】

【図1】本発明の電気光学表示装置の回路例とその動作例を示す。

【図2】従来の電気光学表示装置の回路例とその動作例を示す。

【図3】本発明の電気光学表示装置の動作例を示す。

【図4】本発明の電気光学表示装置の回路例とその動作例を示す。

【図5】本発明の電気光学表示装置の回路例とその動作例を示す。

【図6】本発明の電気光学表示装置の動作例を示す。

【図7】本発明の電気光学表示装置の例を示す。

【図8】現状のコンピュータのLCD駆動系統と連想メモリーの例を示す。

【符号の説明】

102・・・選択線

106・・・Tr₁の不純物半導体層

107・・・強誘電体膜

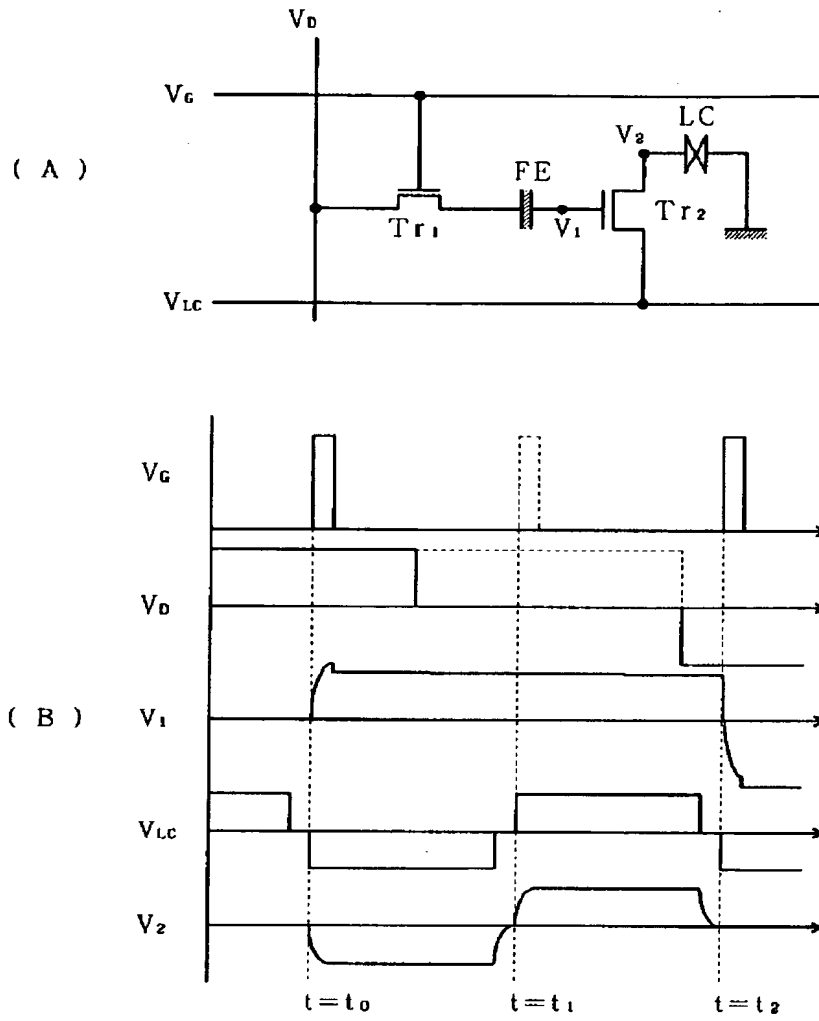
108・・・データ線

112・・・Tr₂の不純物半導体層

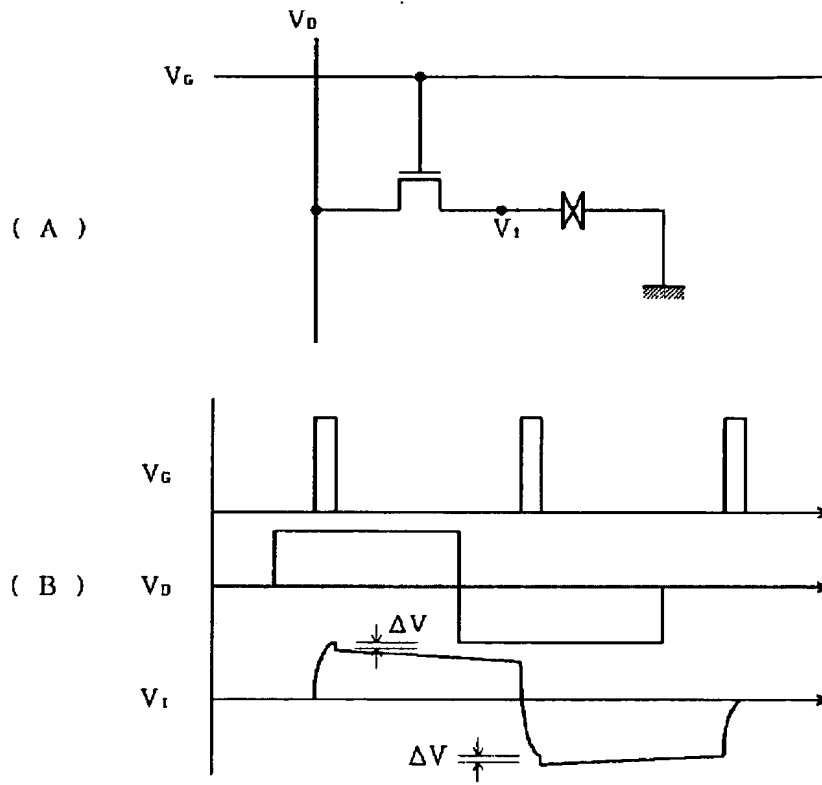
113・・・電圧供給線

114・・・画素電極

【図1】

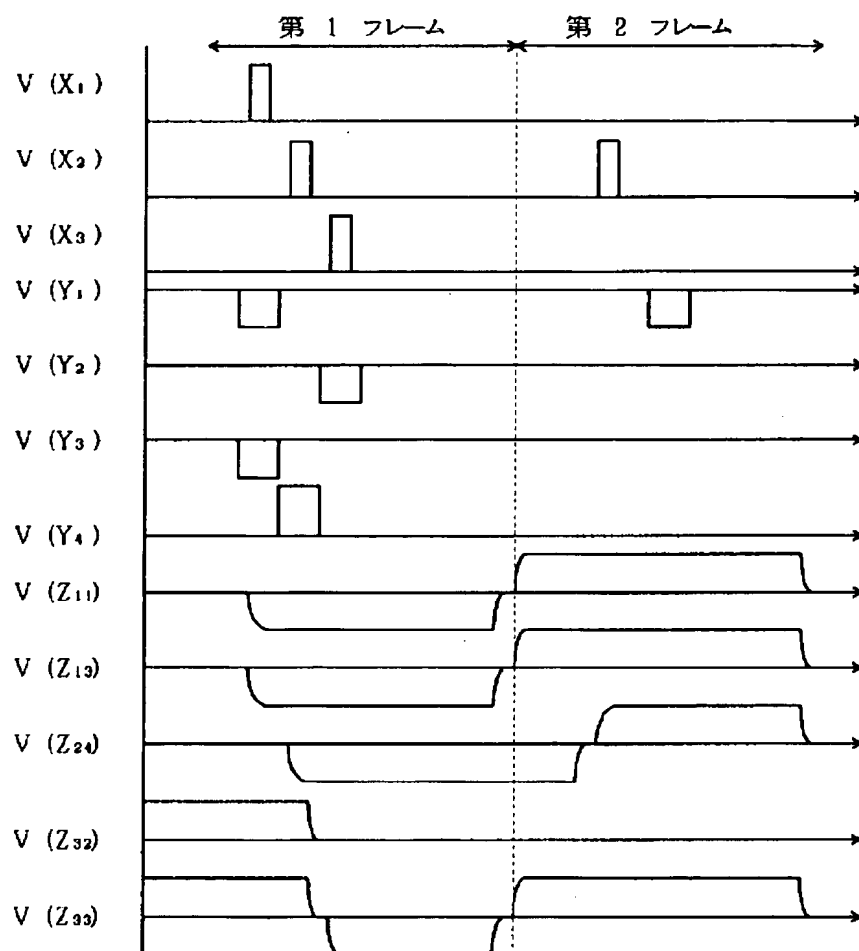
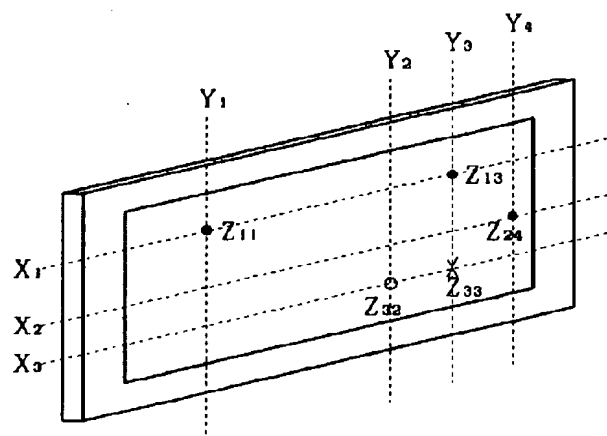


【図2】



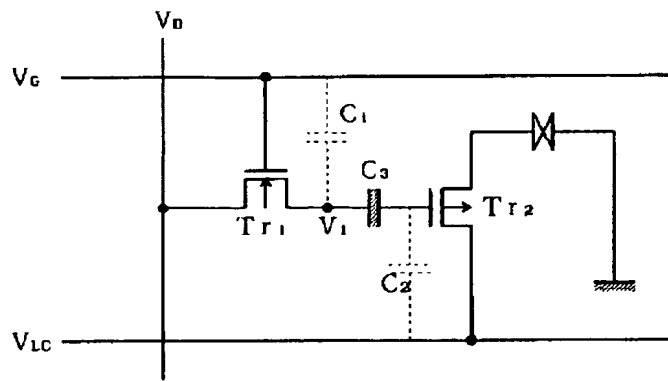
【図3】

(A)

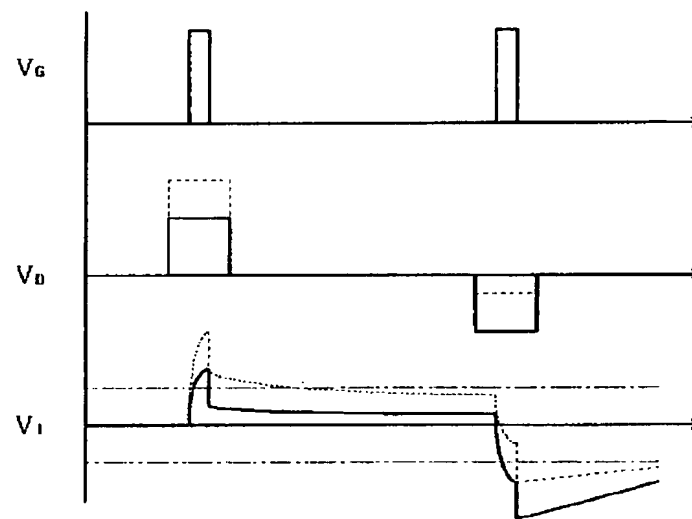


(B)

【図4】

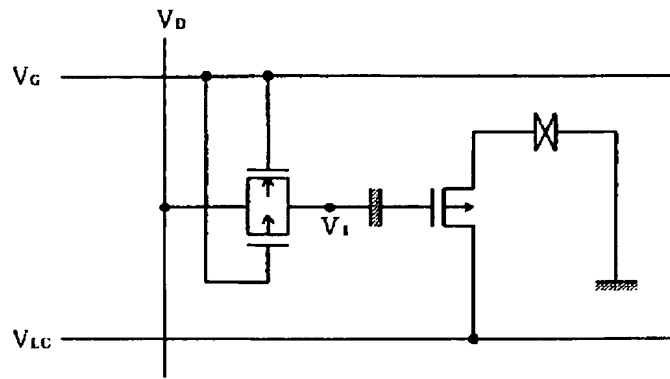


(A)

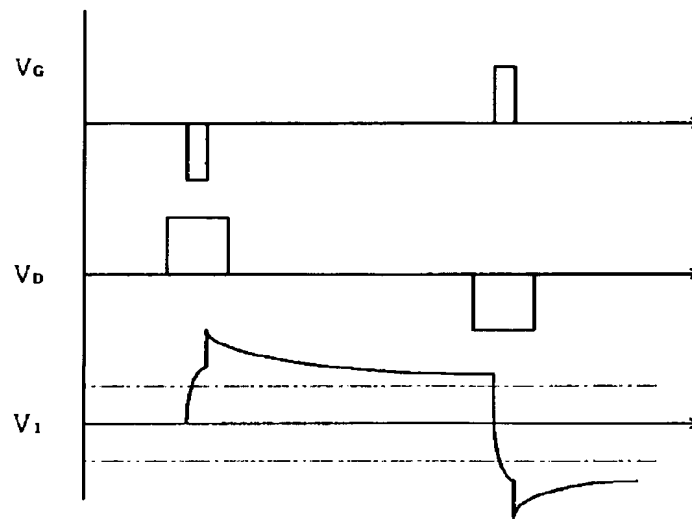


(B)

【図5】

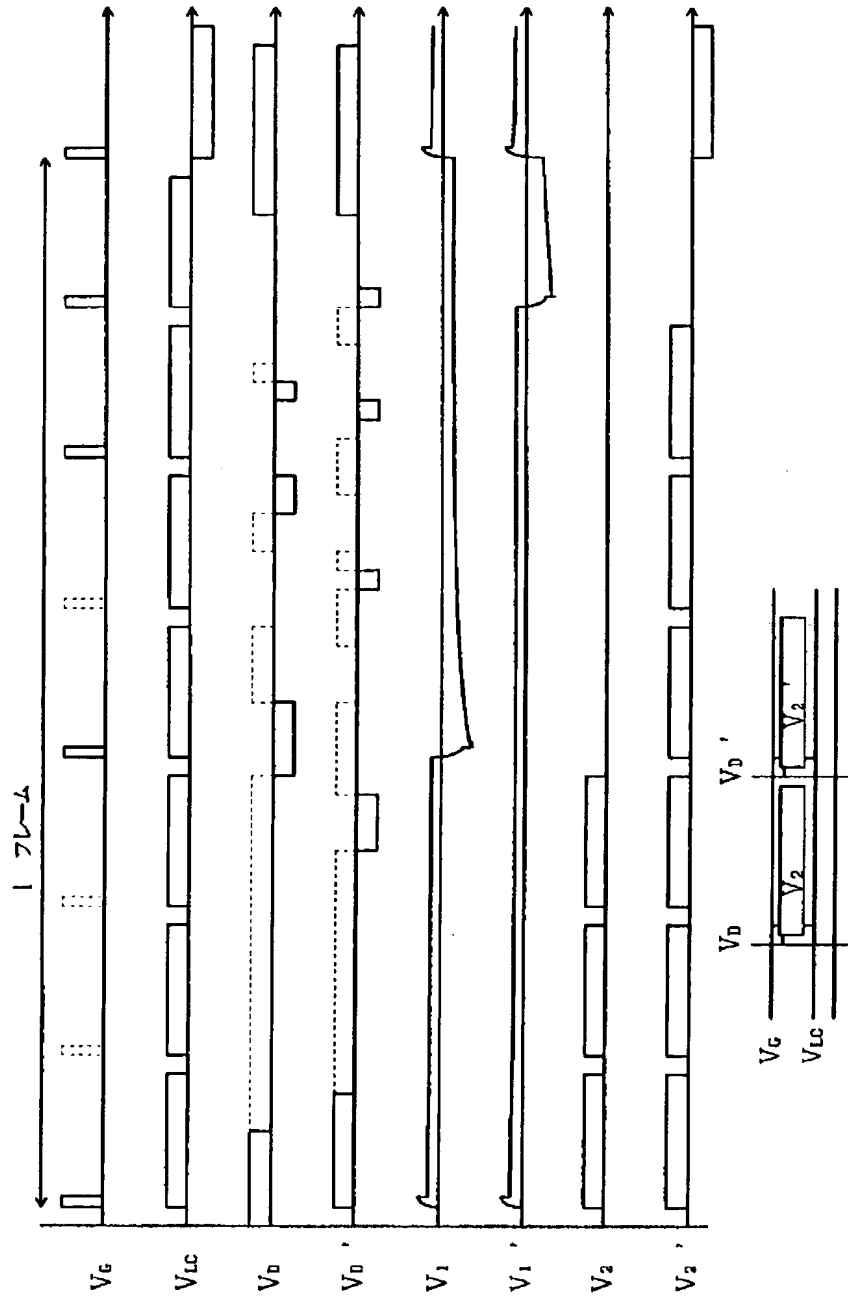


(A)

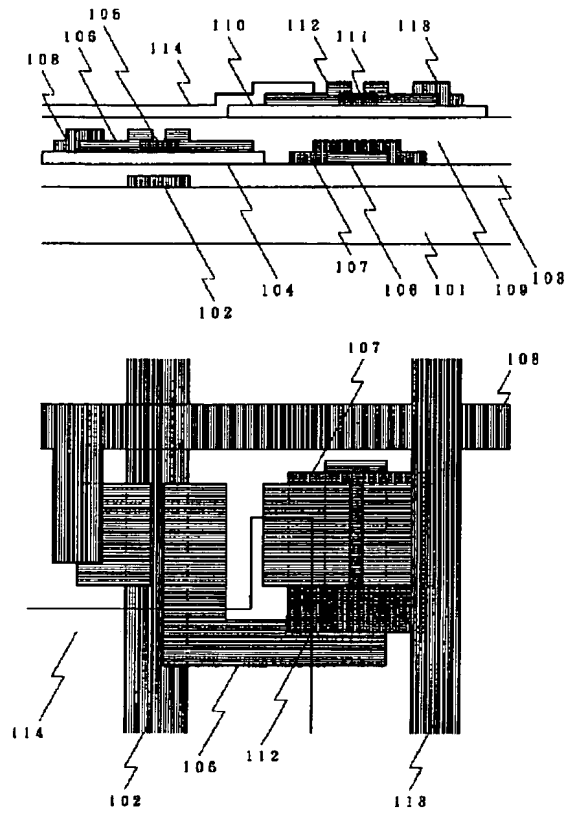


(B)

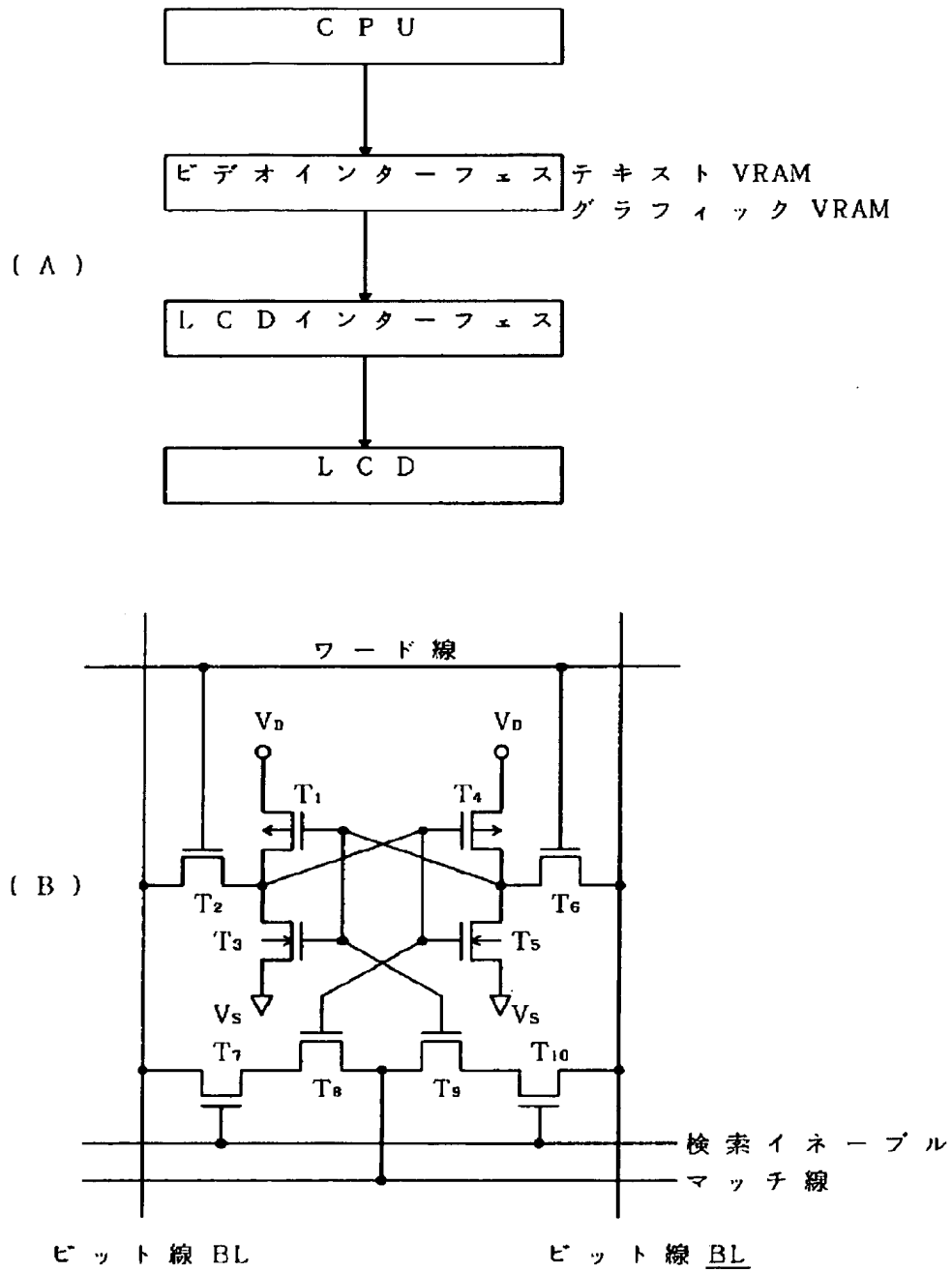
【図6】



【図7】



【図8】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.